

# 2  
12/3/06 P058  
Mallat  
② US

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.



出 願 年 月 日

Date of Application:

2000年 8月30日

出 願 番 号

Application Number:

特願2000-261804

出 願 人

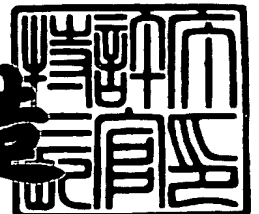
Applicant (s):

日本電気株式会社

2001年 2月23日

特許庁長官  
Commissioner,  
Pat nt Office

及 川 耕 造



出証番号 出証特2001-3011559

【書類名】 特許願

【整理番号】 74410428

【提出日】 平成12年 8月30日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 23/60

【発明者】

    【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

    【氏名】 林田 洋子

【発明者】

    【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

    【氏名】 早野 仁紀

【発明者】

    【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

    【氏名】 古田 博伺

【特許出願人】

    【識別番号】 000004237

    【氏名又は名称】 日本電気株式会社

【代理人】

    【識別番号】 100099830

    【弁理士】

    【氏名又は名称】 西村 征生

    【電話番号】 048-825-8201

【手数料の表示】

    【予納台帳番号】 038106

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

特 2 0 0 0 - 2 6 1 8 0 4

【包括委任状番号】 9407736

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置及びその設計方法

【特許請求の範囲】

【請求項 1】 複数の入出力端子各々に接続された第一のクランプ素子と前記複数の入出力端子の各々に第一の抵抗を介して MOSFET のゲート電極が接続され、前記 MOSFET のゲート電極とソース電極、電源配線、接地電位配線、又は基板電位配線との間に第二のクランプ素子が前記ゲート電極近傍に接続され、前記第一のクランプ素子と前記第二のクランプ素子は第二の抵抗を介して接続されている半導体集積回路装置において、

異なる能力を有する前記第二のクランプ素子を二種類以上設けたことを特徴とする半導体集積回路装置。

【請求項 2】 複数の入出力端子各々に接続された第一のクランプ素子と前記複数の入出力端子の各々に第一の抵抗を介して MOSFET のゲート電極が接続され、前記 MOSFET のゲート電極とソース電極、電源配線、接地電位配線、又は基板電位配線との間に第二のクランプ素子が前記ゲート電極近傍に接続され、前記第一のクランプ素子と前記第二のクランプ素子は第二の抵抗を介して接続されている半導体集積回路装置において、

前記第二の抵抗と前記第一の抵抗の比（第二の抵抗／第一の抵抗）がほぼ一定値以下となるように前記第一の抵抗値を少なくとも二種類以上設けたことを特徴とする半導体集積回路装置。

【請求項 3】 前記第二のクランプ素子と前記 MOSFET のゲート電極を接続する配線長は、略 100  $\mu$ m 以下であることを特徴とする請求項 1 又は 2 記載の半導体集積回路装置。

【請求項 4】 前記第二のクランプ素子と前記 MOSFET のソース電極を接続する配線長は、略 100  $\mu$ m 以下であることを特徴とする請求項 1、2 又は 3 記載の半導体集積回路装置。

【請求項 5】 前記第二の抵抗と前記第一の抵抗の比（第二の抵抗／第一の抵抗）に応じて、異なる能力を有する前記第二のクランプ素子を設けたことを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 6】 前記第一の抵抗は、主に前記第一のクランプ素子から前記 MOSFET のゲート電極までの配線抵抗及びコンタクト抵抗から成ることを特徴とする請求項 1 乃至 5 のいずれか 1 に記載の半導体集積回路装置。

【請求項 7】 前記第一の抵抗は、主に配線とは別の材料で形成された抵抗成分を含むことを特徴とする請求項 1 乃至 5 のいずれか 1 に記載の半導体集積回路装置。

【請求項 8】 前記第一の抵抗は、MOSFET の実効チャネル抵抗成分を含むことを特徴とする請求項 1 乃至 5 のいずれか 1 に記載の半導体集積回路装置。

【請求項 9】 前記第二の抵抗は主に電源配線、接地電位配線、又は基板電位配線の配線抵抗成分と前記第一及び第二のクランプ素子と前記電源配線、接地電位配線、又は基板電位配線を接続するコンタクト抵抗成分から構成されていることを特徴とする請求項 1 乃至 8 のいずれか 1 に記載の半導体集積回路装置。

【請求項 10】 前記第一のクランプ素子の入出力端子に接続されている一端とは反対の一端と、前記第二のクランプ素子の前記 MOSFET のゲート電極側に接続されている一端とは反対の一端は、少なくとも一つの電源端子、接地電位配線端子、又は基板電位配線端子から別系統の配線で接続されており、前記第二の抵抗は主に前記電源端子、前記接地電位端子、又は前記基板電位端子と前記第一のクランプ素子との配線抵抗成分と配線を接続するコンタクト抵抗成分から成ると共に前記電源端子、前記接地電位端子、又は前記基板電位端子と前記第二のクランプ素子との配線抵抗成分と配線を接続するコンタクト抵抗成分から成ることを特徴とする請求項 1 乃至 8 のいずれか 1 に記載の半導体集積回路装置。

【請求項 11】 前記第一のクランプ素子の入出力端子に接続されている一端とは反対の一端は、第一の電源端子、接地電位端子、又は基板電位端子に接続され、前記第二のクランプ素子の前記 MOSFET のゲート電極側に接続されている一端とは反対の一端は、第二の電源端子、接地電位端子、又は基板電位端子に接続されていることを特徴とする請求項 1 乃至 8 のいずれか 1 に記載の半導体集積回路装置。

【請求項 12】 前記第一及び第二の電源端子、接地電位端子、又は基板電

位端子は、ボンディングワイヤー、又はリードにより同一ピンに接続されていることを特徴とする請求項1記載の半導体集積回路装置。

【請求項13】 第二のクランプ素子は、ゲート電極をソース電極に接続したMOSFET、NPNバイポーラ素子、ダイオード、又はサイリスタ及びこれらの素子を組み合わせたものから成ることを特徴とする請求項1乃至11のいずれか1に記載の半導体集積回路装置。

【請求項14】 前記第二のクランプ素子の異なる能力は、寸法、構成及び構造を変えることで実現したことを特徴とする請求項1乃至11のいずれか1に記載の半導体集積回路装置。

【請求項15】 半導体基板にMOSFETが設けられた半導体集積回路装置の静電気保護回路及び保護素子構造の設計方法において、プロセス・デバイスシミュレータにより、入出力端子に接続された第一のクランプ素子と前記入出力端子と第一の抵抗を介してゲートに接続された第一のMOSFETと該MOSFETのゲート電極とソース電極、電源配線、接地電位配線、又は基板電位配線との間に接続された第二のクランプ素子と、前記第一のクランプ素子と前記第二のクランプ素子は第二の抵抗成分を有する配線で接続されている構造を含む所定のCDM試験等価回路でシミュレーションを実施し、前記第一のMOSFETのゲート電極とソース電極または基板電極との電位差が所定の値を超えないように、前記第二の抵抗と前記第一の抵抗の比（第二の抵抗／第一の抵抗）を決定することを特徴とする半導体集積回路装置の設計方法。

【請求項16】 前記所定の値は、試験デバイスでのCDM試験結果とその時の前記第二の抵抗と前記第一の抵抗の比（第二の抵抗／第一の抵抗）の関係と前記シミュレーションにおける前記第一のMOSFETのゲート電極とソース電極又は基板電極との電位差とその時の前記第二の抵抗と前記第一の抵抗の比（第二の抵抗／第一の抵抗）との関係から決定することを特徴とする請求項15記載の半導体集積回路装置の設計方法。

【請求項17】 前記第一の抵抗の値、及び第二の抵抗の値は、各々所定の回路特性が得られる範囲の値に設定することを特徴とする請求項15記載の半導体集積回路装置の設計方法。

【請求項 1 8】 前記第一の MOSFET のゲート電極とソース電極または基板電極との電位差は、所定の値を越えないように、第二のクランプ素子の能力を決定することを特徴とする請求項 1 5 記載の半導体集積回路装置の設計方法。

【請求項 1 9】 前記第二のクランプ素子の能力は、寸法、構成、又は構造を変えること実現したことを特徴とする請求項 1 8 記載の半導体集積回路装置の設計方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、半導体集積回路装置及びその設計方法に係り、詳しくは、MOS (Metal Oxide Semiconductor) FET から構成される半導体集積回路装置及びその設計方法に関する。

【0 0 0 2】

【従来の技術】

半導体デバイスの微細化、高集積化に伴い、半導体デバイスを取り扱う場合に生じる静電気放電 (Electrostatic Discharge; ESD) 破壊現象が重要な問題になっている。ESD 破壊現象は、周知のように、人体モデル (Human Body Model; HBM)、マシンモデル (Machine Model; MM)、及びデバイス帯電モデル (Charged Device Model; CDM) の 3 つのモデルが提唱されている。

【0 0 0 3】

ここで、HBM は、帯電した人がデバイスに接触したときに電荷をデバイスに放電することにより発生する破壊モデルであり、MM は (一般に人体より大容量を有し、放電抵抗が小さい) 金属製機器とデバイスが接触したときに発生する破壊モデルである。HBM、MM の評価は、一般にデバイスの着目した 2 端子間で ESD の印加、放電が行われる。これに対し、CDM はデバイスのパッケージやチップ等が帯電して電荷が蓄積され、この電荷がデバイスの端子を通して外部に放電した時の破壊モデルである。

【0 0 0 4】

以下、このCDMにおける静電破壊メカニズムと一般的対策について説明する。図15は半導体集積回路装置の端子とそれに接続された内部回路を図示したものである。図15において、半導体集積回路装置100の端子110は、入力抵抗 $R_{in}$ （入力抵抗又は入力配線抵抗成分）114を介して内部回路を構成するMOSFET112のゲートに接続されている。また、端子110と基準電位配線117の間には静電保護素子（クランプ素子）111が接続されている。基準電位配線117としては、接地（GND）電位配線や、GND電位とは異なる基板電位配線である。ここで静電保護素子111は端子110に外部から静電気が印加された時に、内部回路を構成するMOSFET112が破壊するのを防ぐために設けられている。この静電保護素子111は一般に前述した人体モデル（HBM）や、マシンモデル（MM）の破壊に対する保護を目的に設けられているものである。そして、その構造やサイズは、HBMやMMのESD耐量を満足するための条件として決定していた。

#### 【0005】

図15で、容量120は、CDM試験時のチップと大地間の等価的な容量を意味し、帯電したチップの電荷が蓄えられていることを示す。また、端子110はCDM試験スイッチ121を介して接地されるようになっている。CDM試験においては、デバイスに帯電した電荷（チップ全体の電荷）は、基準電位配線117、静電保護素子111を介して端子110から大地に放電される。なお、基準電位配線117には、基準電位配線抵抗 $R_g$ 116が含まれている。このとき、内部回路を構成しているMOSFET112のうち、端子110に接続されているゲートに蓄積された電荷も端子110から大地に放電される。この内部回路を構成するMOSFET112のゲートに蓄積された電荷は、基準電位配線117を通じて放電される電荷と比較して非常に少なく、極めて短時間で放電されて接地電位となる。

#### 【0006】

この結果、内部回路を構成しているMOSFET112のゲートとソースの間に大きな電位差が生じて、ゲート酸化膜の絶縁破壊が起きる。この破壊を防止する対策として、一般的にMOSFET112のゲートとソースの間に近接してC



DM保護素子（クランプ素子）113を設ける。このような公知技術としては、例えば、Electrical Overstress/Electrostatic Discharge Symposium Proceeding September 27-29, P. P. 220-227/. 1988（以下公知例1とする）の記載が挙げられる。さらに、図15に示す入力抵抗 $R_{in114}$ は、HBM、MMに対して有効であることが上記公知例1に記載されている。

ところで、入力抵抗 $R_{in114}$ を大きくすることと、回路パフォーマンスはトレードオフの関係にあるため、入力抵抗 $R_{in114}$ の最適値を見いだす必要があった。

#### 【0007】

また、Electrical Overstress/Electrostatic Discharge Symposium Proceeding P. 116~123/. 1999（以下公知例2とする）においては、図15で示す入力抵抗 $R_{in114}$ 及び基準電位配線抵抗 $R_{g116}$ とCDM耐量の関係が記載されている。

#### 【0008】

図16に、CDM試験時にMOSFETのゲートソース間に生じる電位差（ $V_{ox}$ ）をシミュレーションで求めた結果を示す。図16は、時間（横軸）の変化によって電位差（縦軸）が変化する様子を示しており、具体的にはCDM保護素子113の働きに応じて電位差（ $V_{ox}$ ）が変化する。例えば、同図において、（a）はCDM保護素子113が完全にクランプしている場合の $V_{ox}$ の変化を示している。また、CDM保護素子113の働き具合に応じて、 $V_{ox}$ は同図の（b）、（c）のように大きく変化する。特に、同図（c）の場合は、CDM試験でMOSFETが破壊されたときの $V_{ox}$ の時間依存性を示したものである。なお、破壊される時の $V_{ox}$ の値はMOSFETのゲート酸化膜厚等の要因によって変わる。一般的に、入力抵抗 $R_{in114}$ が大きいほど、基準電位配線抵抗 $R_{g116}$ が小さいほど、CDM耐量が大きくなる。

#### 【0009】

しかしながら、実際の半導体集積回路装置では、基準電位配線抵抗 $R_{g116}$

と入力抵抗  $R_{in114}$  は、回路シミュレーションにより、回路特性の許容範囲からその最大値が決定されていた。また、入力抵抗  $R_{in114}$  は、HBMやMM試験の制約から最小値が決まり、基準電位配線抵抗  $R_{g116}$  はレイアウトの制約から最小値が決まっていた。なお、試験デバイスを作成して実際にESD印加試験を行い、その結果を実デバイスの設計に反映させることも行われていた。このようにして決定された静電保護素子111やCDM保護素子113は全ての入出力端子に対して同一サイズ、同一構造で構成されていた。

#### 【0010】

##### 【発明が解決しようとする課題】

しかしながら、従来の半導体集積回路装置では、静電保護素子に接続される基準電位配線及び内部回路を構成するMOSFETに接続される基準電位配線が共通な場合、あるいは別々な場合でも、配線抵抗のばらつきにより、基準電位配線抵抗  $R_g$  に差が生ずる、という問題がある。

すなわち、実際の半導体集積回路装置においては、第1の構成として、図17に示すように、静電保護素子111a～111cが接続される基準電位配線と、内部回路150a～150cをそれぞれ構成するMOSFET112a～112cに接続される基準電位配線とが、共通配線（同一配線）117で構成されている。この構成の場合、入出力端子の位置と内部回路の位置との関係により、基準電位配線抵抗  $R_g$  の値に差が生じる。すなわち、図17のN1a-N2a間の配線長、N1b-N2b間の配線長、N1c-N2c間の配線長の違いによる配線抵抗の差（ばらつき）が基準電位配線抵抗  $R_g$  の差として生じる。

#### 【0011】

また、実際の半導体集積回路装置の第2の構成として、図18に示すように、静電保護素子111a～111cの基準電位配線118と、内部回路を構成しているMOSFET112a～112cの接地電位配線119とが、GND端子115から分岐した別々の配線で構成されている。この構成の場合には、入出力端子110a～110cとGND端子115との距離により、基準電位配線抵抗  $R_g$  の値に差が生じる。この場合の基準電位配線抵抗  $R_g$  は各入出力端子の静電保護素子111a～111cと、各内部回路MOSFET112a～112cとの

間の配線抵抗であり、分岐点N 0 を経由した経路で考える。

【 0 0 1 2 】

すなわち、N 1 a - N 0 - N 2 a、N 1 b - N 0 - N 2 b、N 1 c - N 0 - N 2 c 間の配線抵抗が各入出力端子 1 1 0 a ~ 1 1 0 c に対する基準電位配線抵抗 R g となる。それゆえ、図 1 8 の場合には、図 1 7 の場合に比べて CDM 耐量の入出力端子間の差が顕著になる問題があった。そして、CDM 保護素子のサイズは試験デバイスの評価結果にある程度余裕を持たせた大きめのサイズとして決められ、各入出力端子に対して同じものが使われていることが多かった。このため、内部回路のレイアウト設計に制約をもたらしていた。

【 0 0 1 3 】

この発明は、上述の事情に鑑みてなされたもので、回路特性を損なうことなくレイアウト自由度が得られ、CDM 耐量が異ならないで全ての入出力端子で十分な CDM 耐量を高めることができるようにした半導体集積回路装置及びその設計方法を提供することを目的としている。

【 0 0 1 4 】

【課題を解決するための手段】

上記課題を解決するために、請求項 1 記載の発明は、複数の入出力端子各々に接続された第一のクランプ素子と上記複数の入出力端子の各々に第一の抵抗を介して MOSFET のゲート電極が接続され、上記 MOSFET のゲート電極とソース電極、電源配線、接地電位配線、又は基板電位配線との間に第二のクランプ素子が上記ゲート電極近傍に接続され、上記第一のクランプ素子と上記第二のクランプ素子は第二の抵抗を介して接続されている半導体集積回路装置に係り、異なる能力を有する上記第二のクランプ素子を二種類以上設けたことを特徴としている。

【 0 0 1 5 】

また、請求項 2 記載の発明は、複数の入出力端子各々に接続された第一のクランプ素子と上記複数の入出力端子の各々に第一の抵抗を介して MOSFET のゲート電極が接続され、上記 MOSFET のゲート電極とソース電極、電源配線、接地電位配線、又は基板電位配線との間に第二のクランプ素子が上記ゲート電極近

傍に接続され、上記第一のクランプ素子と上記第二のクランプ素子は第二の抵抗を介して接続されている半導体集積回路装置に係り、上記第二の抵抗と上記第一の抵抗の比（第二の抵抗／第一の抵抗）がほぼ一定値以下となるように上記第一の抵抗値を少なくとも二種類以上設けたことを特徴としている。

【 0 0 1 6 】

また、請求項 3 記載の発明は、請求項 1 又は 2 記載の半導体集積回路装置に係り、上記第 2 のクランプ素子と上記 MOSFET のゲート電極を接続する配線長は、略 1 0 0  $\mu$  m 以下であることを特徴としている。

【 0 0 1 7 】

また、請求項 4 記載の発明は、請求項 1、2 又は 3 記載の半導体集積回路装置に係り、上記第 2 のクランプ素子と上記 MOSFET のソース電極を接続する配線長は、略 1 0 0  $\mu$  m 以下であることを特徴としている。

【 0 0 1 8 】

また、請求項 5 記載の発明は、請求項 1 記載の半導体集積回路装置に係り、上記第二の抵抗と上記第一の抵抗の比（第二の抵抗／第一の抵抗）に応じて、異なる能力を有する上記第二のクランプ素子を設けたことを特徴としている。

【 0 0 1 9 】

また、請求項 6 記載の発明は、請求項 1 乃至 5 のいずれか 1 に記載の半導体集積回路装置に係り、上記第一の抵抗は、主に上記第一のクランプ素子から上記 MOSFET のゲート電極までの配線抵抗及びコンタクト抵抗から成ることを特徴としている。

【 0 0 2 0 】

また、請求項 7 記載の発明は、請求項 1 乃至 5 のいずれか 1 に記載の半導体集積回路装置に係り、上記第一の抵抗は、主に配線とは別の材料で形成された抵抗成分を含むことを特徴としている。

【 0 0 2 1 】

また、請求項 8 記載の発明は、請求項 1 乃至 5 のいずれか 1 に記載の半導体集積回路装置に係り、上記第一の抵抗は、MOSFET の実効チャネル抵抗成分を含むことを特徴としている。

## 【 0 0 2 2 】

また、請求項 9 記載の発明は、請求項 1 乃至 8 のいずれか 1 に記載の半導体集積回路装置に係り、上記第二の抵抗は主に電源配線、接地電位配線、又は基板電位配線の配線抵抗成分と上記第一及び第二のクランプ素子と上記電源配線、接地電位配線、又は基板電位配線を接続するコンタクト抵抗成分から構成されていることを特徴としている。

## 【 0 0 2 3 】

また、請求項 1 0 記載の発明は、請求項 1 乃至 8 のいずれか 1 に記載の半導体集積回路装置に係り、上記第一のクランプ素子の入出力端子に接続されている一端とは反対の一端と、上記第二のクランプ素子の上記 MOSFET のゲート電極側に接続されている一端とは反対の一端は、少なくとも一つの電源端子、接地電位配線端子、又は基板電位配線端子から別系統の配線で接続されており、上記第二の抵抗は主に上記電源端子、上記接地電位端子、又は上記基板電位端子と上記第一のクランプ素子との配線抵抗成分と配線を接続するコンタクト抵抗成分から成ると共に上記電源端子、上記接地電位端子、又は上記基板電位端子と上記第二のクランプ素子との配線抵抗成分と配線を接続するコンタクト抵抗成分から成ることを特徴としている。

## 【 0 0 2 4 】

また、請求項 1 1 記載の発明は、請求項 1 乃至 8 のいずれか 1 に記載の半導体集積回路装置に係り、上記第一のクランプ素子の入出力端子に接続されている一端とは反対の一端は、第一の電源端子、接地電位端子、又は基板電位端子に接続され、上記第二のクランプ素子の上記 MOSFET のゲート電極側に接続されている一端とは反対の一端は、第二の電源端子、接地電位端子、又は基板電位端子に接続されていることを特徴としている。

## 【 0 0 2 5 】

また、請求項 1 2 記載の発明は、請求項 1 1 記載の半導体集積回路装置に係り、上記第一及び第二の電源端子、接地電位端子、又は基板電位端子は、ボンディングワイヤー、又はリードにより同一ピンに接続されていることを特徴としている。

## 【0026】

また、請求項13記載の発明は、請求項1乃至11のいずれか1に記載の半導体集積回路装置に係り、第二のクランプ素子は、ゲート電極をソース電極に接続したMOSFET、NPNバイポーラ素子、ダイオード、又はサイリスタ及びこれらの素子を組み合わせたものから成ることを特徴としている。

## 【0027】

また、請求項14記載の発明は、請求項1乃至11のいずれか1に記載の半導体集積回路装置に係り、上記第二のクランプ素子の異なる能力は、寸法、構成及び構造を変えることで実現したことを特徴としている。

## 【0028】

また、請求項15記載の発明は、半導体集積回路装置の設計方法に係り、半導体基板にMOSFETが設けられた半導体集積回路装置の静電気保護回路及び保護素子構造の設計方法において、プロセス・デバイスシミュレータにより、入出力端子に接続された第一のクランプ素子と上記入出力端子と第一の抵抗を介してゲートに接続された第一のMOSFETと該MOSFETのゲート電極とソース電極、電源配線、接地電位配線、又は基板電位配線との間に接続された第二のクランプ素子と、上記第一のクランプ素子と上記第二のクランプ素子は第二の抵抗成分を有する配線で接続されている構造を含む所定のCDM試験等価回路でシミュレーションを実施し、上記第一のMOSFETのゲート電極とソース電極または基板電極との電位差が所定の値を超えないように、上記第二の抵抗と上記第一の抵抗の比（第二の抵抗／第一の抵抗）を決定することを特徴としている。

## 【0029】

また、請求項16記載の発明は、請求項15記載の半導体集積回路装置の設計方法に係り、上記所定の値は、試験デバイスでのCDM試験結果とその時の上記第二の抵抗と上記第一の抵抗の比（第二の抵抗／第一の抵抗）の関係と上記シミュレーションにおける上記第1のMOSFETのゲート電極とソース電極又は基板電極との電位差とその時の上記第二の抵抗と上記第一の抵抗の比（第二の抵抗／第一の抵抗）との関係から決定することを特徴としている。

## 【0030】

また、請求項 1 7 記載の発明は、請求項 1 5 記載の半導体集積回路装置の設計方法に係り、上記第一の抵抗の値、及び第二の抵抗の値は、各々所定の回路特性が得られる範囲の値に設定することを特徴としている。

## 【 0 0 3 1 】

また、請求項 1 8 記載の発明は、請求項 1 5 記載の半導体集積回路装置の設計方法に係り、上記第一の MOSFET のゲート電極とソース電極または基板電極との電位差は、所定の値を越えないように、第二のクランプ素子の能力を決定することを特徴としている。

## 【 0 0 3 2 】

また、請求項 1 9 記載の発明は、請求項 1 8 記載の半導体集積回路装置の設計方法に係り、上記第二のクランプ素子の能力は、寸法、構成、又は構造を変えること実現したことを特徴としている。

## 【 0 0 3 3 】

## 【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態について説明する。説明は、実施例を用いて具体的に行う。

## ◇第 1 実施例

図 1 は、この発明の第 1 実施例である半導体集積回路装置の構成を示す回路図である。

この例の半導体集積回路装置は、図 1 に示すように、基準電位配線 (GND) 1 7 に、全ての入出力端子 1 0 a、1 0 b、1 0 c が静電保護素子 (第 1 のクランプ素子 1 1 a、1 1 b、1 1 c を介して接続されている。各端子 1 0 a ~ 1 0 c と、入力抵抗  $R_{in14a}$ 、 $14b$ 、 $14c$  を介して内部回路を構成している MOSFET 1 2 a、1 2 b、1 2 c のゲートに接続されている。ここで入力抵抗  $R_{in14a} \sim 14c$  は多結晶シリコンと信号配線及びコンタクトの各抵抗成分からなっている。また、この MOSFET 1 2 a ~ 1 2 c のゲート-ソース間に近接して CDM 保護素子 (第 2 のクランプ素子) 1 3 a、1 3 b、1 3 c が設けられている。

## 【 0 0 3 4 】

ここで、コンタクト抵抗成分はCDM保護素子13a～13cの拡散層と入力信号配線を接続するコンタクト部の抵抗成分及び、多結晶シリコンと入力信号配線を接続するコンタクト部の抵抗成分から成る。この場合、内部回路を構成しているMOSFET12a～12cから入出力端子10a～10cまでの距離によって、各端子10a～10c毎に入力抵抗 $R_{in}$ と基準電位配線抵抗 $R_g$ の値が異なっている。通常、基準電位配線抵抗 $R_g$ は配線抵抗成分とCDM保護素子13a～13c及び静電保護素子11a～11cの拡散層を接続するコンタクトの抵抗成分から成る。この例では、入出力端子10aにおいては $R_g$  (N1a-N2a間)は略5オーム、入出力端子10bにおいては $R_g$  (N1b-N2b間)は略10オーム、入出力端子10cにおいては $R_g$  (N1c-N2c間)は略20オームである。

## 【0035】

この例では、CDM試験を行った所、発明者らは入力抵抗 $R_{in}$ と基準電位配線抵抗 $R_g$ の比 ( $R_g/R_{in}$ ) に対してCDM耐量が図11に示すような関係を持つことを見出した。すなわち、( $R_g/R_{in}$ ) (横軸)の値が小さいほど、CDM耐量 (縦軸) が大きいことがわかった。図11では、CDM保護素子13a～13cのサイズWは、それぞれ10 $\mu$ m、15 $\mu$ m、20 $\mu$ mである。入力抵抗 $R_{in}$ と基準電位配線抵抗 $R_g$ の比 ( $R_g/R_{in}$ ) が小さければ、同じCDM耐量を維持するためにもCDM保護素子のサイズは小さくできる。

## 【0036】

これらの関係から、この例においては、入出力端子10aのCDM保護素子13aのサイズWは10 $\mu$ m、入出力端子10bのCDM保護素子13bのサイズWは15 $\mu$ m、入出力端子10cのCDM保護素子13cのサイズWは20 $\mu$ mで構成している。このように ( $R_g/R_{in}$ ) に応じて、CDM保護素子13a～13cのサイズを決定したため、従来のように ( $R_g/R_{in}$ ) の差によって、各端子10a～10cのCDM耐量が異なることはなくなった。また、全てのCDM保護素子13a～13cのサイズを ( $R_g/R_{in}$ ) の値に応じて決定し、( $R_g/R_{in}$ ) の値が小さいところではCDM保護素子13a～13cのサイズを必要以上の大きさにすることがないので、従来のようなスペースの無駄が



なくなり、レイアウト設計の自由度が上がるという効果がある。

#### 【0037】

この例においては、チップ内に、異なる能力を有するCDM保護素子13a～13cを2種類以上設けている。なお、CDM保護素子13a～13cは内部回路を構成するMOSFET12a～12cの可能な限り近くに配置する。具体的には、レイアウトの制約から離さざるを得ない場合があるが、ゲート電極とCDM保護素子13a～13cを接続する配線抵抗成分が入力抵抗成分 $R_{in}$ と比べて無視できるように配置する。同じく、CDM保護素子13a～13cと内部回路を構成するMOSFET12a～12cのソース電極とを接続する配線抵抗成分が基準電位配線抵抗 $R_g$ と比べて無視できるように配置する。この例では、 $R_{in}$ 、 $R_g$ 各々に対して略1%以下の抵抗になるように配置している。レイアウト的には、略100 $\mu$ m以内の配線長になるように配置している。

#### 【0038】

#### ◇第2実施例

図2は、この発明の第2実施例である半導体集積回路装置の構成を示す回路図である。この第2実施例の半導体集積回路装置の構成が、上述の第1実施例のそれと大きく異なるところは、静電保護素子に接続される基準電位配線と内部回路を構成するMOSFETに接続される基準電位配線とを別々に構成するようにした点である。

すなわち、この例の半導体集積回路装置は、図2に示すように、静電保護素子11a～11cの基準電位配線18と内部回路を構成しているMOSFET12a～12cの基準電位配線19が基準電位端子（GND端子）15から分岐した別々の配線で構成されている。この場合には、図1の第1実施例の場合より各入出力端子10a～10cに対応する基準電位配線抵抗 $R_g$ （N1a-N0-N2a、N1b-N0-N2b、N1c-N0-N2c）の差が大きい。この例においても、第1実施例と同じようにCDM保護素子13a～13aのサイズを最適化してもよいが、前述の図11から基準電位配線抵抗 $R_g$ を一定として、入力抵抗 $R_{in}$ を大きくすることでCDM耐量が高くなることがわかる。

#### 【0039】

この例では、入出力端子 1 0 a に対応する基準電位配線抵抗  $R_g$  は略 7 オーム、入出力端子 1 0 b に対応する基準電位配線抵抗  $R_g$  は略 1 5 オーム、入出力端子 1 0 c に対応する基準電位配線抵抗  $R_g$  は略 3 0 オームである。また、入力抵抗  $R_{in}$  の最小値は HBM、MM の試験結果から、略 1 0 0 オームである。さらに、CDM 試験を考慮すると、 $(R_g/R_{in})$  の値は略 0. 1 5 以下にする必要がある。このため、入力抵抗  $R_{in}$  1 4 a ~ 1 4 c の値はそれぞれ、1 0 0 オーム、1 0 0 オーム、2 0 0 オームとすればよい。なお、入力保護抵抗  $R_{in}$  が 2 0 0 オームの値は回路特性上問題がないものとして選んである。もちろん製品によっては、入力抵抗  $R_{in}$  の値を 2 0 0 オームまで大きくできない場合もあるが、そのときには CDM 保護素子サイズも合わせて変更することによって対応できる。

## 【 0 0 4 0 】

このように、この例では、基準電位配線抵抗  $R_g$  が比較的大きい半導体集積回路装置においても、第 1 実施例と同様の効果を有する。なお、この例では基準電位配線 1 8、1 9 は GND 端子 1 5 から分岐した別々の配線で構成されているが、GND 端子 1 5 から直接別系統の配線で構成されている場合にも同様である。

## 【 0 0 4 1 】

## ◇ 第 3 実施例

図 3 は、この発明の第 3 実施例である半導体集積回路装置の構成を示す回路図である。この第 3 実施例の半導体集積回路装置の構成が、上述の第 2 実施例のそれと大きく異なるところは、静電保護素子の基準電位配線が接続される基準電位端子と内部回路を構成する MOSFET の基準電位配線が接続される基準電位端子とを別々に構成するようにした点である。

すなわち、この例の半導体集積回路装置は、図 3 に示すように、静電保護素子 1 1 a ~ 1 1 c の基準電位配線 1 8 が接続された基準電位端子 (GND 端子) 1 5 a と、内部回路を構成している MOSFET 1 2 a ~ 1 2 c の基準電位配線 1 9 が接続された基準電位端子 (GND 端子) 1 5 b とが別々に構成されている。この場合、二つの基準電位端子 1 5 a、1 5 b は半導体集積回路装置を構成しているボンディングワイヤー又は、リードにより同一ピンに接続されている。

## 【0042】

この例では、例えば入出力端子10aの基準電位配線抵抗 $R_g$ は、N1aと基準電位端子15a間の抵抗成分、N2aと基準電位端子15b間の抵抗成分、及び両基準電位端子15a、15bとボンディングワイヤー又は、リードの抵抗成分から成る。この場合にも、第1実施例や第2実施例同様、CDM保護素子サイズ（能力）や入力抵抗 $R_{in}$ を各入出力端子に対応させて変化させ、同様の効果を有する。

## 【0043】

第1実施例～第3実施例の説明では、CDM保護素子（第2のクランプ素子）13a～13cの構造については言及していないが、実際には、ゲート電極をソース電極に接続したMOSFET、NPNバイポーラ素子、ダイオード、又はサイリスタ及びこれらの素子を組み合わせたもので構成してよい。例えば、図4（a）、4（b）にはそれぞれゲート電極をソース電極に接続したMOSFETの平面図及び（a）のA-A'矢視断面図を示している。同MOSFETは、P型基板30、N型拡散層32、ゲート34等で構成されている。

## 【0044】

同様にして、図5（a）、5（b）にはそれぞれNPNバイポーラ素子の平面図及び（a）のB-B'矢視断面図を示している。また、図6（a）、6（b）には、ダイオードの平面図及び（a）のC-C'矢視断面図を示している。同ダイオードは、 $P^+$ 拡散層33と $N^+$ 拡散層32とが対向して形成されている。また、図7（a）、7（b）には、サイリスタの平面図及び（a）のD-D'矢視断面図を示している。同サイリスタは、P型基板30、 $N^+$ 拡散層32、 $P^+$ 拡散層33から成るPNPN構造となっている。なお、CDM保護素子の能力は、その寸法（放電経路の長さ）を変えることや、その構成（レイアウト）、構造（前述の保護素子の種類等）によって変えることができる。一般にプロセスに応じてCDM保護素子の最適な構成や構造を選択することができる。

## 【0045】

なお、入出力端子10a～10cに接続された静電保護素子（第1のクランプ素子）11a～11cは、前述のCDM保護素子と同じような種類の構造（MO

SFET、NPNバイポーラ素子、ダイオード、又は、サイリスタ等)のものであってよい。ただし、一般に保護素子自体のサイズはCDM保護素子よりもはるかに大きい。また、CDM保護素子と同様に図4～図7に示すような素子を組み合わせたものでもよい。

## 【0046】

また、従来、静電保護素子の構成として図19に示すごとく、2つのクランプ素子200、201と抵抗素子214を用いたものが知られている(公知例1にも回路図が示されている)。この場合、抵抗214のCDMに対する効果は、クランプ素子201が存在するので、CDM試験時にはこの素子を通じて放電するが、基準電位配線抵抗215が存在するので、このままの構成ではこの発明のような目的を達成することは不可能で、第1実施例～第3実施例に示したようなこの発明の考え方を適用して初めて目的が達成される。

## 【0047】

## ◇第4実施例

図8は、この発明の第4実施例である半導体集積回路装置の構成を示す回路図である。この第4実施例の半導体集積回路装置の構成が、上述の第1実施例のそれと大きく異なるところは、内部回路を構成するMOSFETの入力側にトランスファーマOSFETを接続するようにした点である。

すなわち、この例の半導体集積回路装置は、図8に示すように、内部回路を構成するMOSFET312の入力側にはトランスファーマOSFET311が接続されて、入力回路が構成されている。図8において、CDM試験時には、トランスファーマOSFET311を介してMOSFET312のゲート電極に帯電されている電荷を放電する。この場合には、入力抵抗 $R_{in}$ は抵抗314とMOSFET311の実効チャネル抵抗成分から構成される。ここで抵抗314はMOSFET311の拡散層の保護を目的に設けたものである。入力抵抗 $R_{in}$ を変化させる場合には、抵抗314又は、MOSFET311の実効チャネル抵抗を最適化する。また、CDM保護素子のサイズを変化させる場合には、同図のCDM保護素子313のサイズを最適化する。

## 【0048】

この例によれば、上述したような構成により、所望のCDM耐量を得ることができる。なお、図8でMOSFE311のゲート-拡散層間に設けられている保護素子315はMOSFET311のCDM保護素子である。このようなCDM保護素子は一般に用いられており、例えば特開平11-150236号公報に示されている。

【0049】

#### ◇第5実施例

図9は、この発明の第5実施例である半導体集積回路装置の構成を示す回路図である。この第5実施例の半導体集積回路装置の構成が、上述の第4実施例のそれと大きく異なるところは、内部回路を構成するMOSFETの一電極がMOSFETを介して基準電位配線に接続するようにした点である。

すなわち、この例の半導体集積回路装置は、図9に示すように、内部回路を構成するMOSFET412のソースがMOSFET411を介して基準電位配線117に接続されている。また、CDM保護素子413が図9に示すように、MOSFET412のゲートとソースの間に設けられる。CDM保護素子413は、内部回路を構成するMOSFET412のゲートとソース間の高電界によるゲート酸化膜の破壊を防ぐために設けられたものである。

【0050】

ここで、CDM保護素子413から見た $R_g$ は、基準電位配線抵抗成分116とMOSFET411の実効チャネル抵抗の和から成る。CDM保護素子414は、内部回路MOSFET412のゲートと基準電位配線抵抗117の間に設けられたものであり、内部回路MOSFET412のゲートと基板（基準電位配線レベル）間の高電界によるゲート酸化膜の破壊を防ぐために設けられたものである。CDM保護素子414から見た $R_g$ は基準電位配線抵抗116である。この例においては、入力抵抗 $R_{in}$ を最適化するか、CDM保護素子413、414の両方のサイズを各々上述した $R_g$ に耐して最適化する。

【0051】

なお、MOSFET411のゲートには内部回路信号が加わる場合と別な外部端子に接続される場合があるが、後者の場合には、このMOSFE411のゲー

トとソース間にもCDM保護素子が必要である（図示せず）。なお、以上の説明ではMOSFETとしてN型MOSFETについて述べてきたが、図10に変形例を示すように、P型MOSFETについても同じような考えに基づいて入力抵抗114と電源電位配線518の配線抵抗成分516とCDM保護素子514を各々最適化することができる。図示しないが、図8及び図9のような回路構成においてP型MOSFETが存在する場合も同様である。このように、種々の入力回路においてこの発明は十分なCDM耐量を有する半導体集積回路装置を提供することができる。

## 【0052】

### ◇第6実施例

この発明の第6実施例である半導体集積回路装置の設計方法は、プロセス・デバイスシミュレータを用いて同半導体集積回路装置の設計を行うものである。以下、手順（1）～（6）の順序でその設計手法について説明する。

（1）試験デバイスのCDM試験を行い、その時のCDM耐量とその試験デバイスの基準電位配線抵抗 $R_g$ と入力抵抗 $R_{in}$ の比（ $R_g/R_{in}$ ）との関係を求める。

（2）目標とするCDM耐量（例えば1000V）を満足する（ $R_g/R_{in}$ ）の値（例えば0.2）を求める。図11は、この関係の一例を示し、横軸は（ $R_g/R_{in}$ ）、縦軸はCDM耐圧である。

（3）プロセス・デバイスシミュレーションを用いて、内部回路を構成しているMOSFETのゲート電極とソース電極との電位差（ $V_{ox}$ ）を求める。その結果、前述した図16のような電位差 $V_{ox}$ の時間依存性が得られる。

（4）（2）で求めた（ $R_g/R_{in}$ ）の値からCDM耐量を満足する電位差（例えば $V_{ox}=10V$ ）を求める。ここでは、図16の $V_{ox}$ の最大値（ $V_{ox\max}$ ）を求める。図12に（ $R_g/R_{in}$ ）（横軸）と $V_{ox\max}$ （縦軸）との関係を示す。

（5）実際の製品のチップサイズ及びリード形状から、チップと大地間の等価的な容量の値（ $C_0$ ）を補正してシミュレーションを行い、図13に示すように、 $V_{ox\max}$ （縦軸）と（ $R_g/R_{in}$ ）（横軸）との関係を求める。（4）

で求めた  $V_{ox\ max}$  から CDM 耐量を満足する製品での ( $R_g/R_{in}$ ) を求める (例えば、 $R_g/R_{in}=0.15$ )。

(6) (5) の結果を満足するように  $R_g$  又は  $R_{in}$  の値を決定してデバイス設計する。なお、この手順のうち、一部順序を入れ換えて設計することも可能である

#### 【0053】

この例の半導体集積回路装置の設計方法によれば、全ての入出力端子において十分な CDM 耐量を有する半導体集積回路装置を効果的に設計することができる。

この例の設計方法では、 $R_g$ 、 $R_{in}$  の値を変えていたが、これらの値の変更については回路特性からの制約やレイアウトからの制約を受けるので、 $R_g$ 、 $R_{in}$  を所定の値に変えることができない場合がある。この場合には、CDM 保護素子サイズを変えることによって対応することができる。

#### 【0054】

#### ◇第7実施例

この発明の第7実施例である半導体集積回路装置の設計方法は、第6実施例の半導体集積回路装置の設計方法の制約を補うために、CDM 保護素子サイズを変えることによって対応させるようにしたものである。以下、同半導体集積回路装置の設計方法について説明する。

(1) 実施例6の(1)～(4)の方法で CDM 耐量を満足する電位差  $V_{ox\ max}$  を求める。

(2) 実際の製品のチップサイズ及びリード形状からチップと大地間の等価的な容量の値 ( $C_0$ ) を補正してシミュレーションを行う。この時、CDM 保護素子のサイズを変化させて  $V_{ox\ max}$  との関係を求める。図14はこの関係を示し、横軸は CDM 保護素子のサイズ、縦軸は  $V_{ox\ max}$  である。これにより、(1)の結果を満足するように CDM 保護素子のサイズを決定し、デバイスを設計する。図14において、 $R_g/R_{in}$  は 0.30 である。

#### 【0055】

図14から明らかなように、CDM 保護素子サイズ  $W$  が  $10\ \mu m$  だと  $V_{ox\ max}$  が 17 V に達する。この時、前述のように  $V_{ox\ max}$  を 10 V 以下

にするためには、CDM保護素子サイズ $W$ は $18\mu\text{m}$ 以上必要なことがわかる。この例の設計方法においては、選択的にCDM保護素子のサイズを変更しているので、レイアウト設計の自由度を損なうことが少ない。なお、この例においてはCDM保護素子のサイズを変更したが、CDM保護素子の構造を変更することも可能である。

## 【0056】

以上、この発明の実施例を図面により詳述してきたが、具体的な構成はこの実施例に限られるものではなく、この発明の要旨を逸脱しない範囲の設計の変更等があってもこの発明に含まれる。例えば、実施例ではMOSFETを3個用いて内部回路を構成する例で説明したが、この数は必要に応じて増加することができる。また、実施例で示したCDM保護素子のサイズ、あるいは基準電位配線抵抗 $R_g$ の値は一例を示したものであり、これらの値は目的、用途等に応じて適宜変更可能である。

## 【0057】

## 【発明の効果】

以上説明したように、この発明の半導体集積回路装置及びその設計方法によれば、回路特性を損なうことなくレイアウトの自由度を有し、さらに入出力端子間でCDM耐量が異なることがなく、全ての入出力端子で十分なCDM耐量を有する半導体集積回路装置を提供できる。また、十分なCDM耐量を有する半導体集積回路装置の設計を効率よく精確に行うことができる。

## 【図面の簡単な説明】

## 【図1】

この発明の第1実施例である半導体集積回路装置の構成を示す回路図である。

## 【図2】

この発明の第2実施例である半導体集積回路装置の構成を示す回路図である。

## 【図3】

この発明の第3実施例である半導体集積回路装置の構成を示す回路図である。

## 【図4】

この発明の半導体集積回路装置に用いられるCDM保護素子（第2のクランプ



素子) の一例を示す図である。

【図 5】

この発明の半導体集積回路装置に用いられる CDM 保護素子 (第 2 のクランプ素子) の一例を示す図である。

【図 6】

この発明の半導体集積回路装置に用いられる CDM 保護素子 (第 2 のクランプ素子) の一例を示す図である。

【図 7】

この発明の半導体集積回路装置に用いられる CDM 保護素子 (第 2 のクランプ素子) の一例を示す図である。

【図 8】

この発明の第 4 実施例である半導体集積回路装置の構成を示す回路図である。

【図 9】

この発明の第 5 実施例である半導体集積回路装置の構成を示す回路図である。

【図 10】

第 5 実施例の変形例の構成を示す回路図である。

【図 11】

試験デバイスの CDM 耐量と  $R_g / R_{in}$  の関係を示すグラフである。

【図 12】

試験デバイスでの MOSFET のゲート-ソース間電圧と ( $R_g / R_{in}$ ) の関係を示すグラフである。

【図 13】

製品での MOSFET のゲート-ソース間電圧と ( $R_g / R_{in}$ ) の関係を示すグラフである。

【図 14】

MOSFET のゲート-ソース間電圧と CDM 保護素子のサイズの関係を示すグラフである。

【図 15】

従来の半導体集積回路装置の静電破壊メカニズムと一般的対策について説明す

る模式図である。

【図 1 6】

CDM試験時のMOSFETのゲートソース間電圧の時間変化を示すシミュレーション波形である。

【図 1 7】

従来の半導体集積回路装置の構成を示す回路図である。

【図 1 8】

従来の半導体集積回路装置の構成を示す回路図である。

【図 1 9】

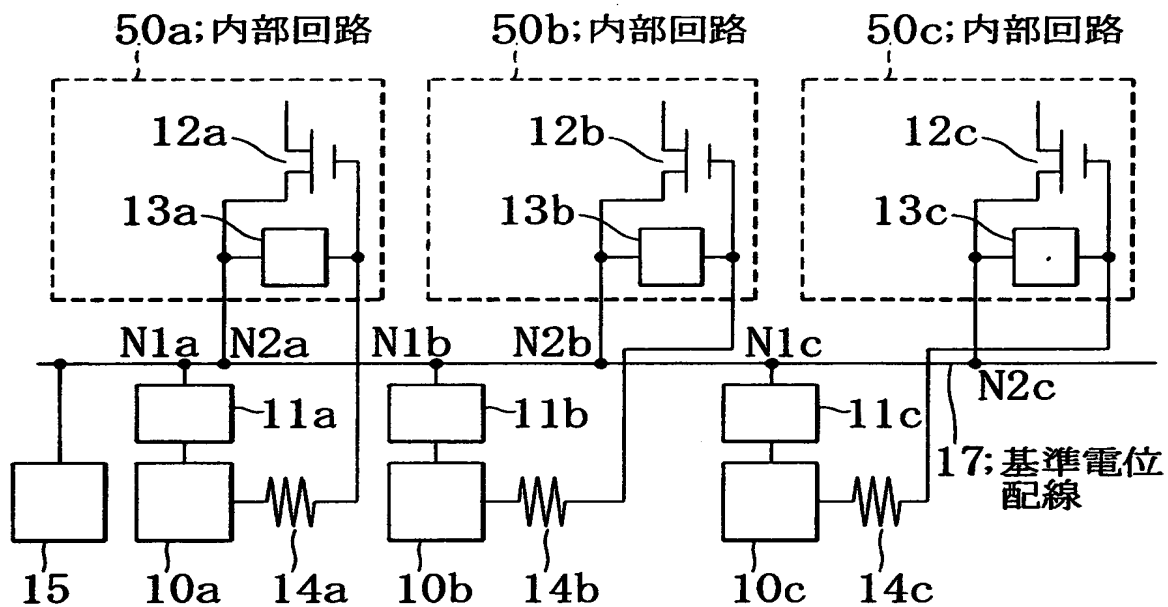
従来の半導体集積回路装置の構成を示す回路図である。

【符号の説明】

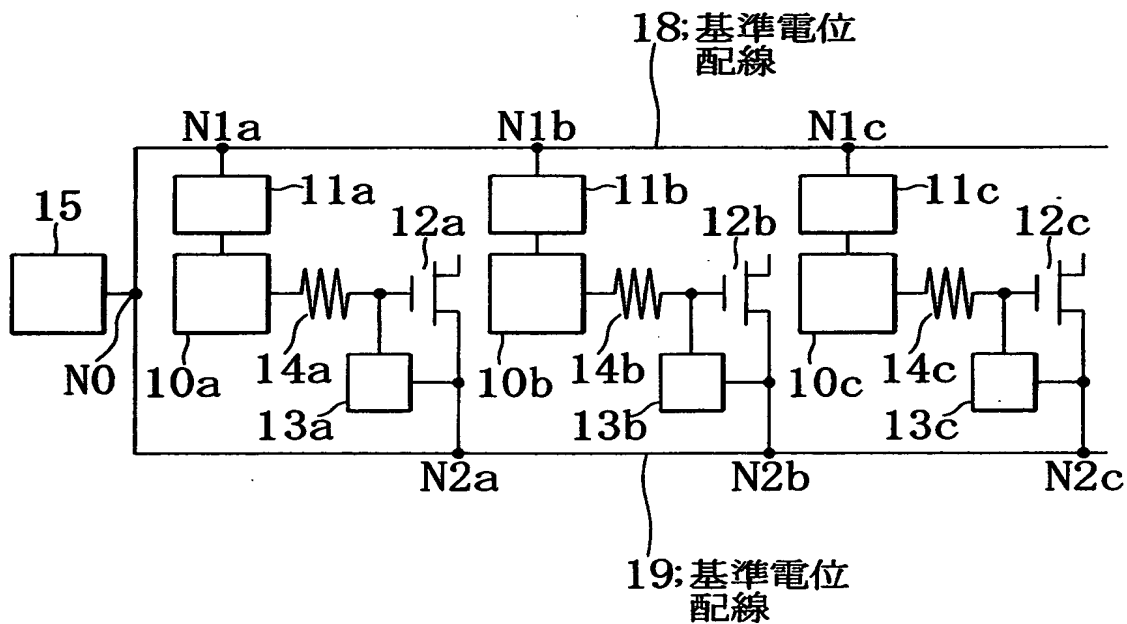
1 0 a、1 0 b、1 0 c、1 1 0 a、1 1 0 b、1 1 0 c	入出力端子
1 1 a、1 1 b、1 1 c、1 1 1 a、1 1 1 b、1 1 1 c	静電保護素子
1 2 a、1 2 b、1 2 c、1 1 2 a、1 1 2 b、1 1 2 c	内部回路を構成するMOSFET
1 3 a、1 3 b、1 3 c、1 1 3 a、1 1 3 b、1 1 3 c	CDM保護素子
1 4 a、1 4 b、1 4 c、1 1 4 a、1 1 4 b、1 1 4 c	入力抵抗
1 5、1 1 5	GND端子
1 1 6	基準電位配線抵抗
1 7、1 1 7	基準電位配線
1 2 0	CDM試験時のチップー大地間の等価容量
1 2 1	CDM試験スイッチ

【書類名】 図面

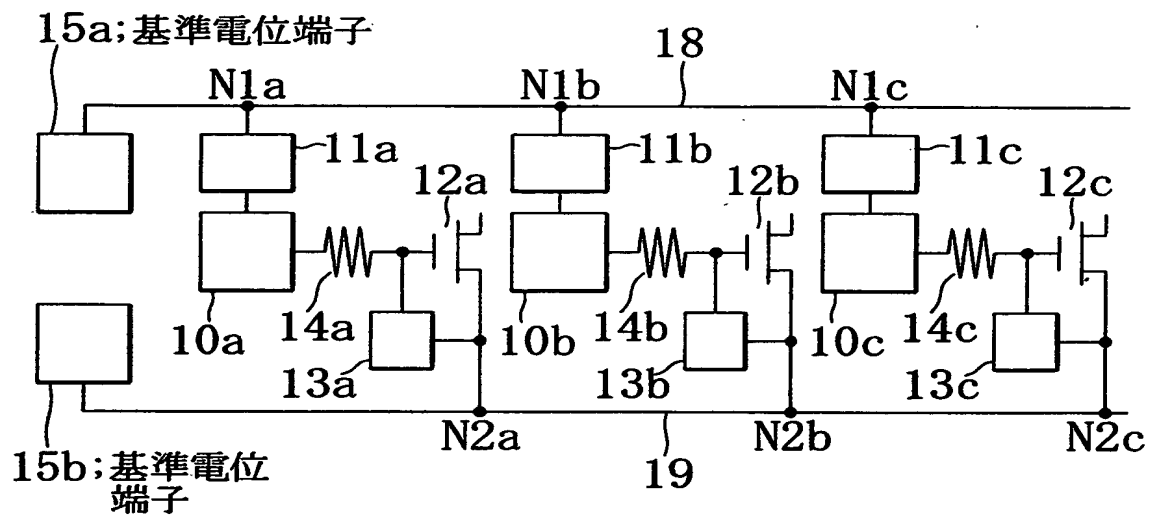
【図 1】



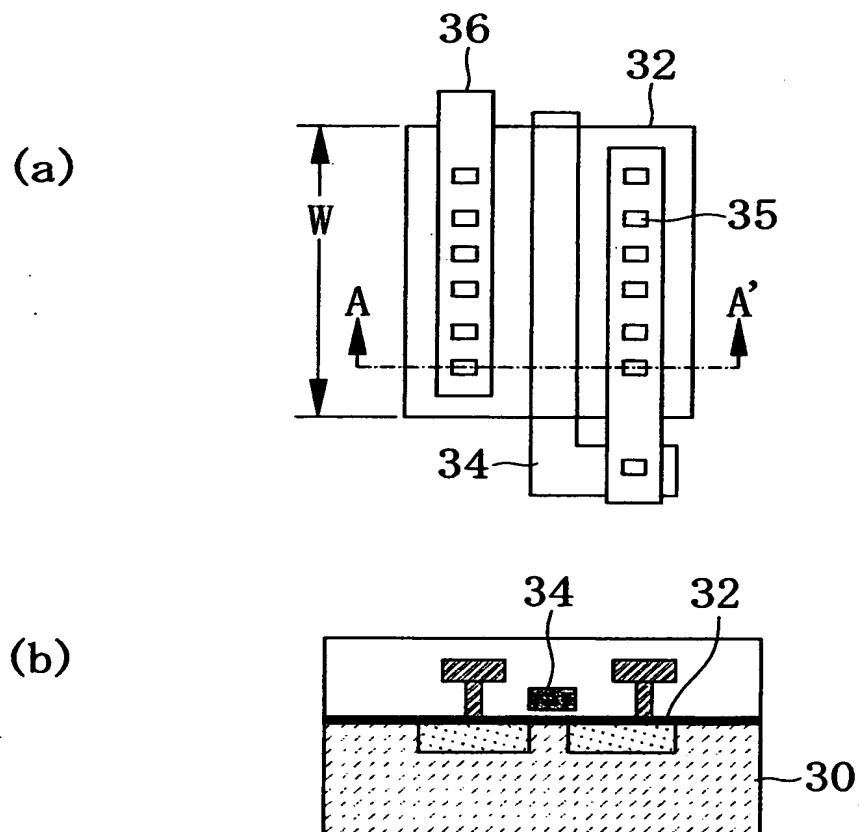
【図 2】



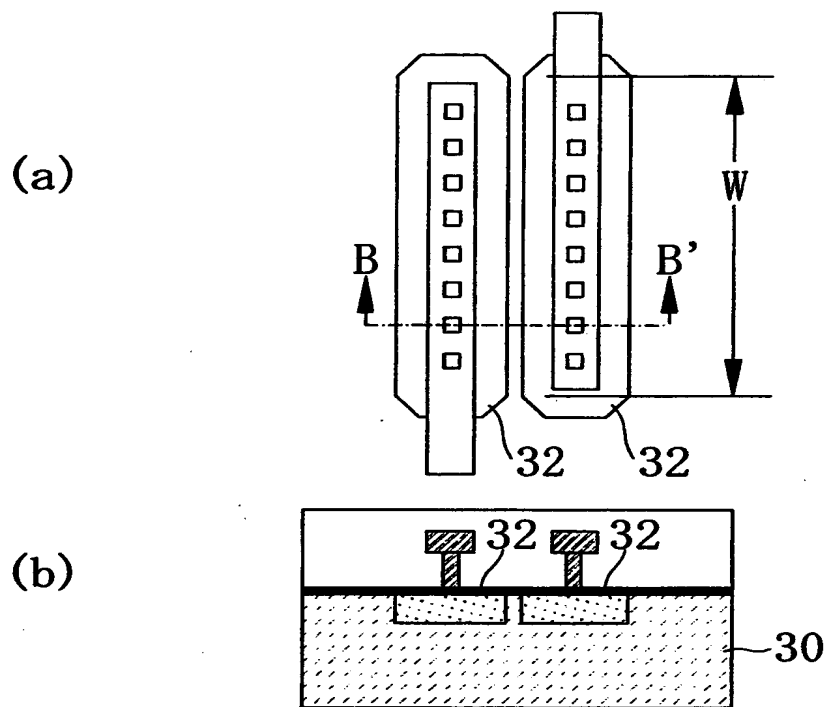
【図 3】



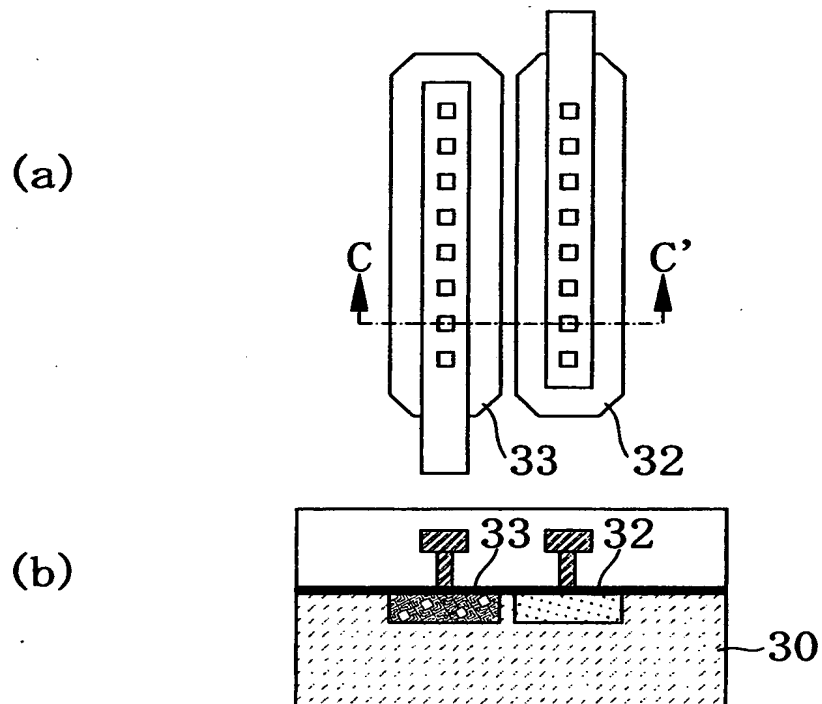
【図4】



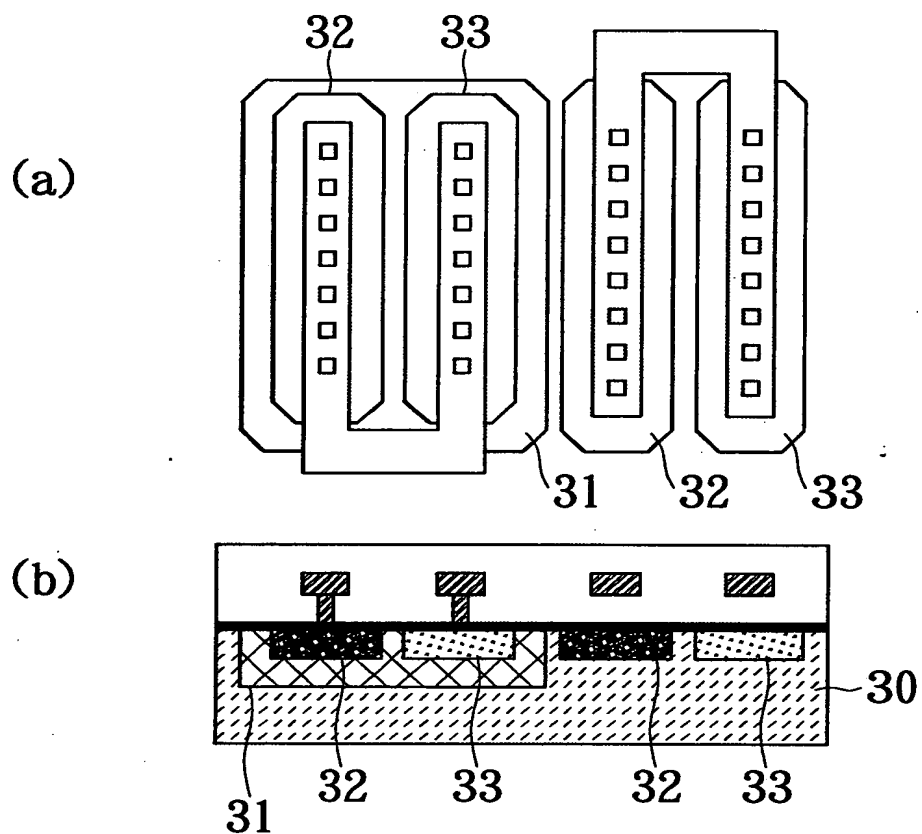
【図 5】



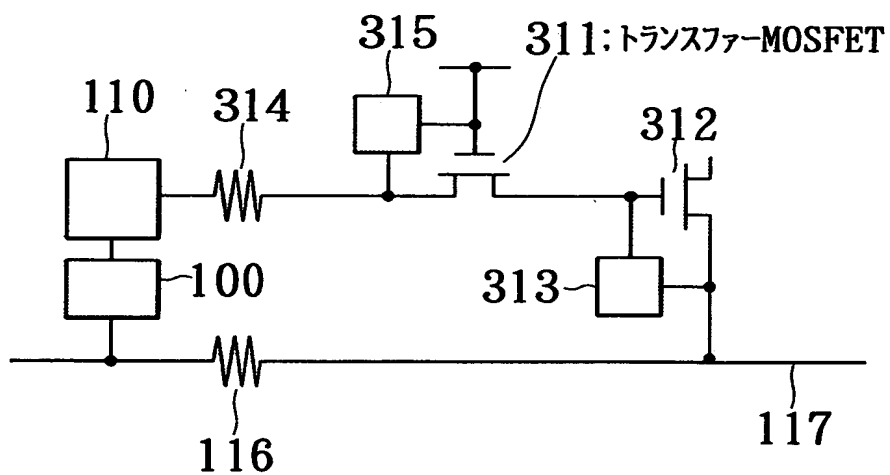
【図 6】



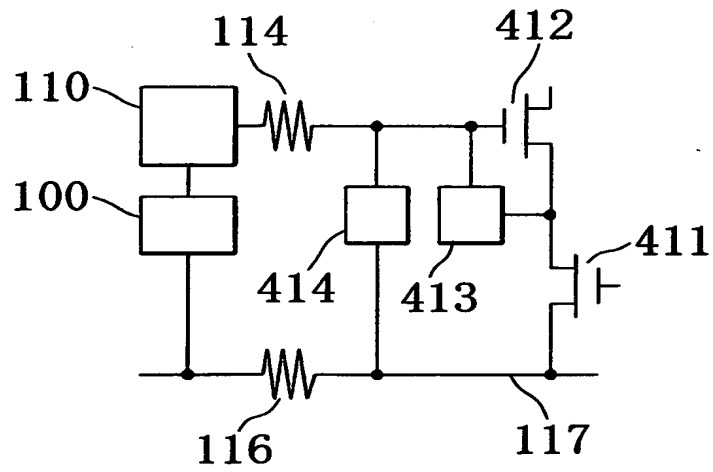
【図7】



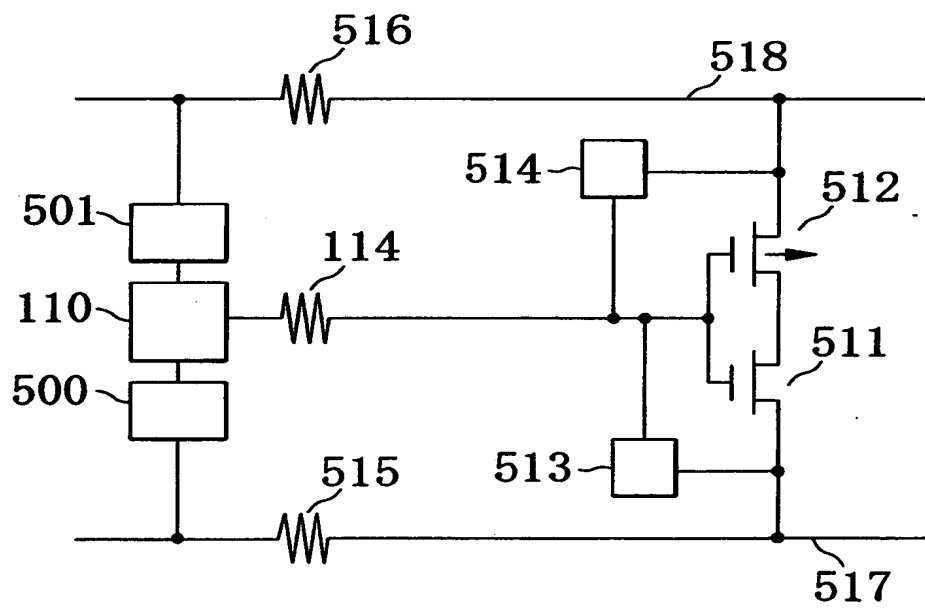
【図8】



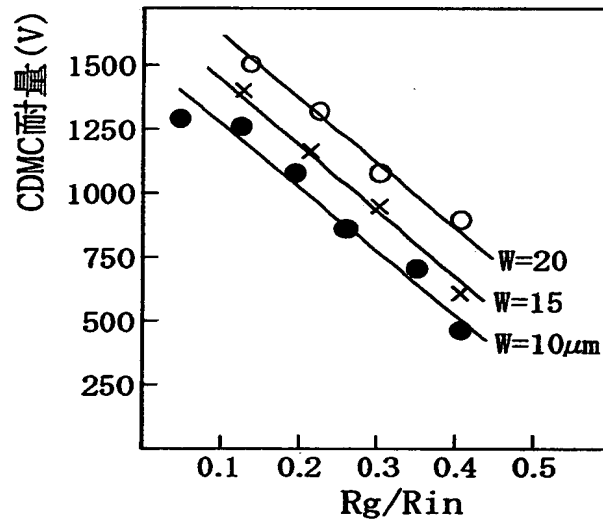
【図 9】



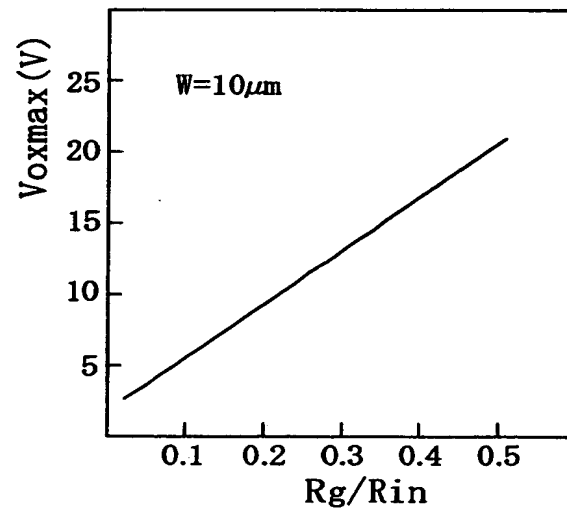
【図 1 0】



【図 1 1】

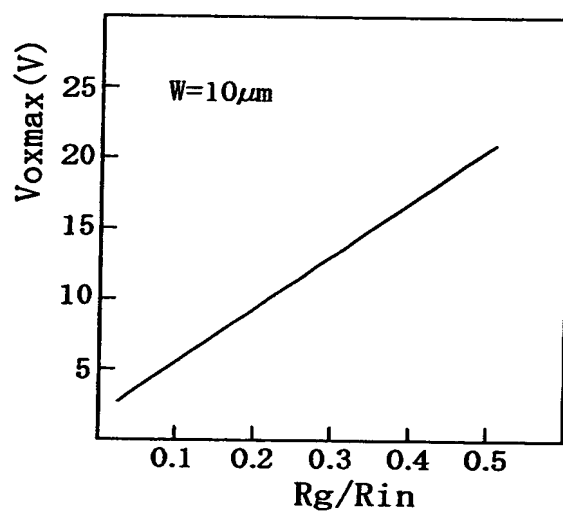


【図 1 2】

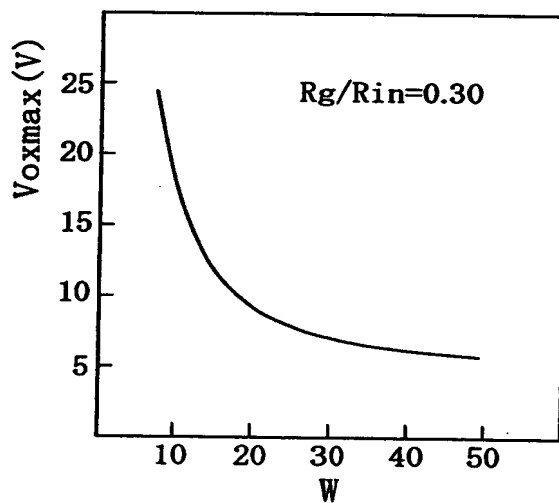




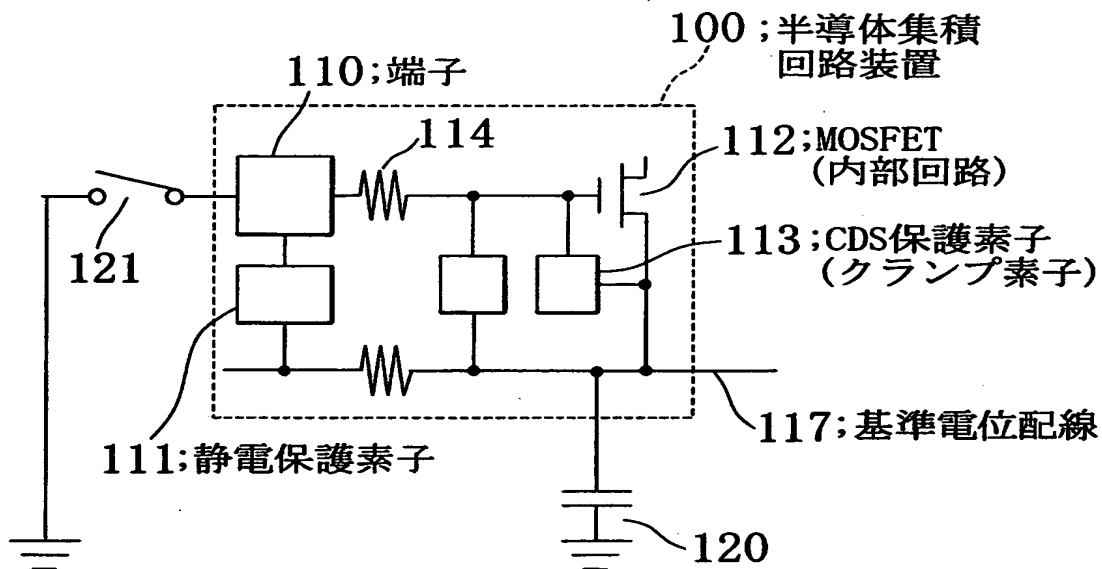
【図13】



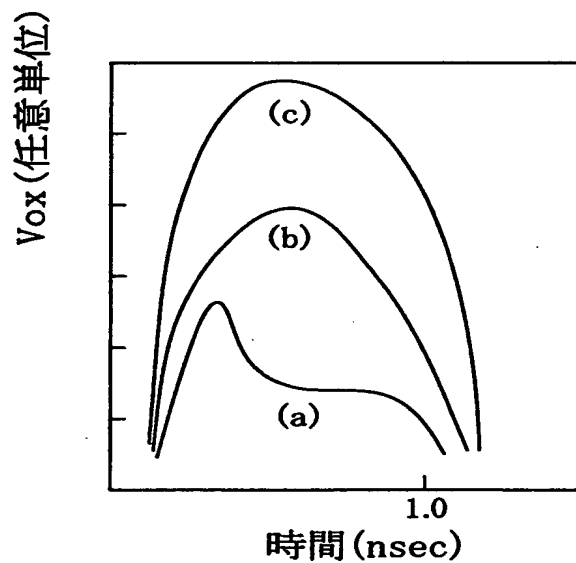
【図14】



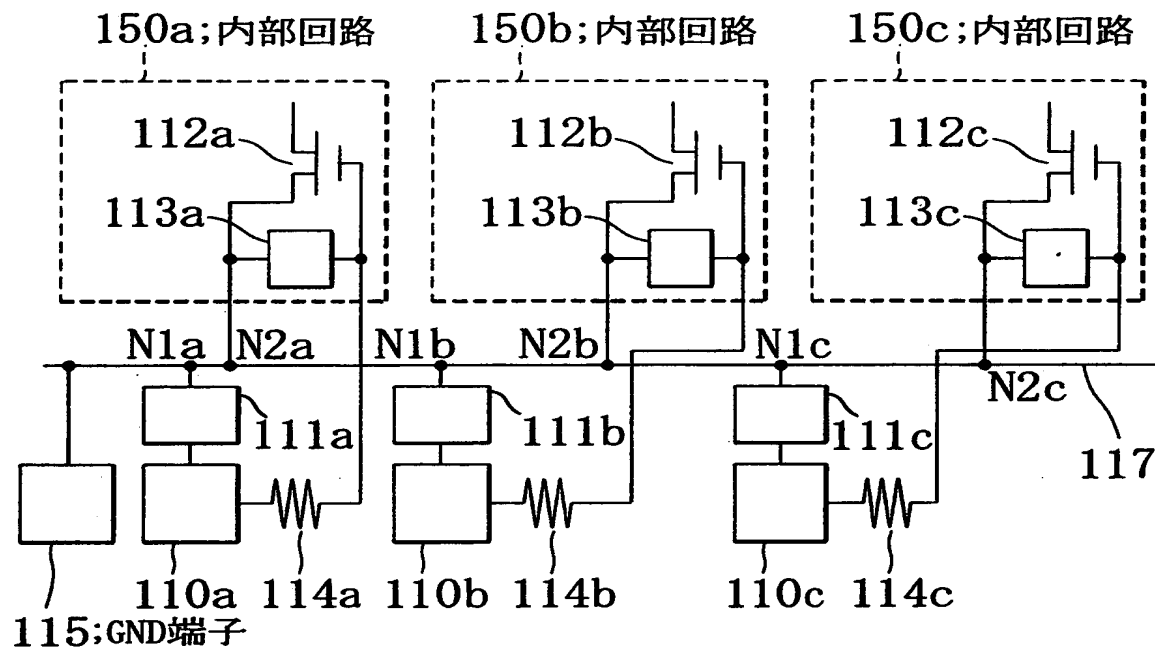
【図 1 5】



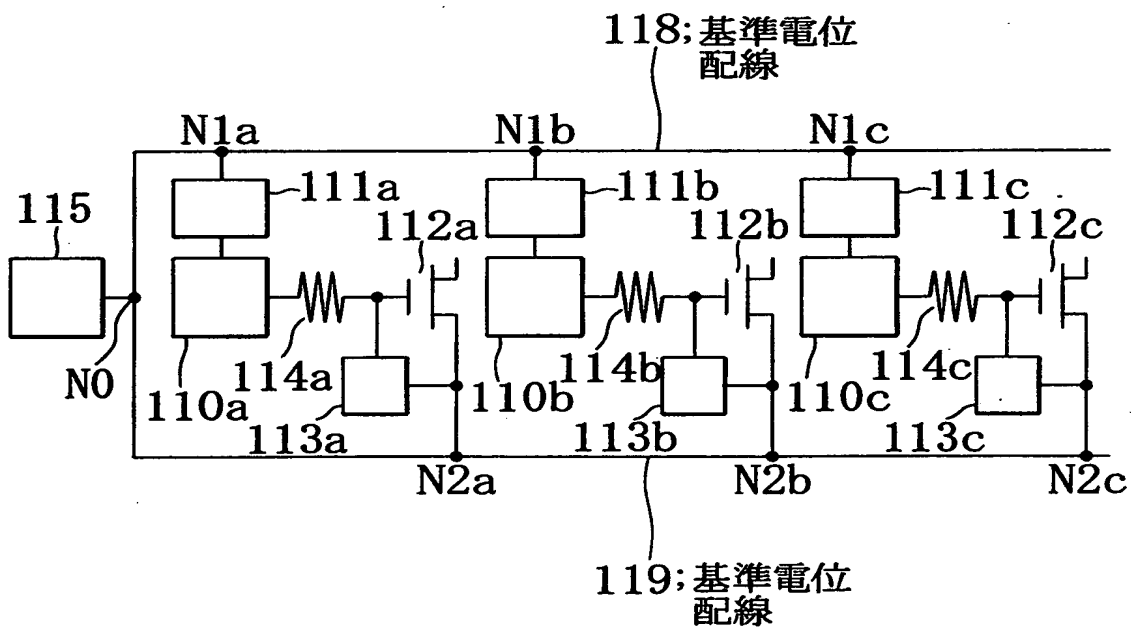
【図 1 6】



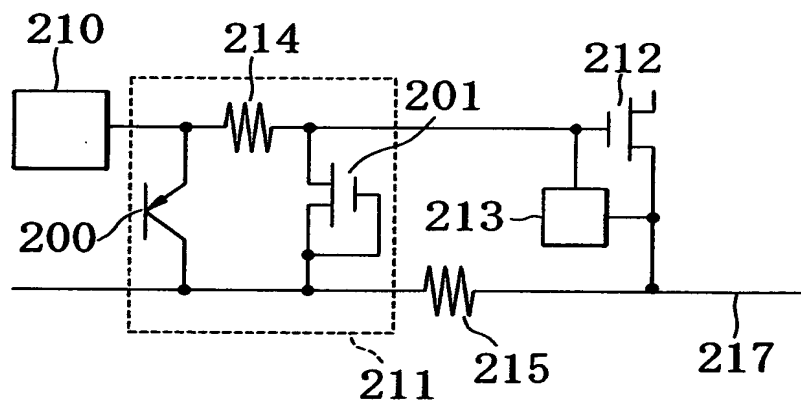
【図 17】



【図 18】



【図 1 9】



【書類名】 要約書

【要約】

【課題】 回路特性を損なうことなくレイアウト自由度が得られ、CDM耐量が異ならないで全ての入出力端子で十分なCDM耐量を高める。

【解決手段】 開示される半導体集積回路装置は、各入出力端子10a～10cに対して、入力保護素子11a～11cと内部回路を構成するMOSFET12a～12c間の基準電位配線抵抗、及び入力抵抗14a～14cに応じてCDM保護素子13a～13cのサイズを各々最適化する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社